

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

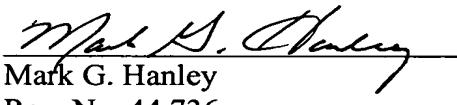
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT
Docket No. 20063/OG03-048

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant(s): HAN et al.

-) I hereby certify that the documents
-) referred to as enclosed herewith are
-) being deposited with the United States
-) Postal Service, first class postage
-) prepaid, in an envelope addressed to
-) the Commissioner for Patents, P.O.
-) Box 1450, Alexandria, Virginia
-) 22313-1450 on this date:
-)
-) **January 23, 2004**
-)
-) 
Mark G. Hanley
-) Reg. No. 44,736

Serial No.: 10/750,250

Filed: December 31, 2003

For: "Method for Fabricating AND-Type Flash Memory Cell"

Group Art Unit: Unknown

Examiner: Not Yet Assigned

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2002-0088282 filed December 31, 2002, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


Mark G. Hanley
Registration No.: 44,736

January 23, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0088282
Application Number

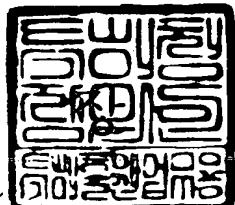
출원년월일 : 2002년 12월 31일
Date of Application DEC 31, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.

2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

1020 [REDACTED] 088282

출력 일자: 2003/11/19

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 엔드 타입 플래시 메모리셀 제조방법을 개시한다. 개시된 발명은, 실리콘기판상에 패드산화막과 패드질화막을 적층한후 상기 패드질화막을 선택적으로 패터닝하여 패드질화막패턴을 형성하는 단계; 실리콘기판내에 불순물을 이온 주입하여 접합형성영역을 형성하는 단계; 상기 패드질화막패턴측벽에 절연막 스페이서를 형성하는 단계; 상기 절연막스페이서를 마스크로 상기 패드산화막과 실리콘 기판을 선택적으로 제거하여 상기 접합형성영역을 분할하는 트렌치를 형성하는 단계; 상기 트렌치를 포함한 전체 구조의 상면에 캡매립절연막을 형성하는 단계; 상기 캡매립절연막을 포함한 절연막스페이서, 패드질화막패턴 및 패드산화막을 선택적으로 제거하여 트렌치소자분리막과 접합영역을 동시에 형성하는 단계를 포함하여 구성된다.

【대표도】

도 6i

【명세서】**【발명의 명칭】**

엔드 타입 플래시 메모리셀 제조방법{Method for fabricating AND type flash memory cell}

【도면의 간단한 설명】

도 1은 일반적인 앤드타입 플래시 메모리셀 어레이의 회로구성도,

도 2a 내지 도 2h는 종래기술에 따른 엔드형 플래시 메모리셀 제조방법을 설명하기 위한 공정 단면도,

도 3는 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법을 설명하기 위한 개선된 엔드 형 EEPROM 셀의 회로구성도,

도 4는 본 발명에 따른 엔드 타입 플래시 메모리셀의 레이아웃도;

도 5은 도 4의 본 발명에 따른 엔드 타입 플래시 메모리셀의 사시도,

도 6a 내지 도 6i는 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법을 설명하기 위한 공정 단면도.

[도면부호의설명]

31 : 실리콘기판 33 : 패드산화막

35 : 패드질화막 37 : 감광막패턴

39a, 41 : 접합영역 43 : 스페이서용 절연막

43a : 스페이서 45 : 소자분리용 트렌치

47 : 캡매립산화막 47a : 트렌치소자분리막

50 : 플로팅게이트산화막 55 : 플로팅게이트

60 : 콘트롤게이트산화막 65 : 콘트롤게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 비휘발성 메모리소자의 제조방법에 관한 것으로서, 보다 상세하게는 앤드 타입 플래시 메모리소자의 제조방법에 관한 것이다.

<16> 셀어레이 방식은 기억소자 구조, 이레이즈(erase), 프로그램(program)방식과 더불어 플래시 메모리사양을 결정하는 중요한 요소 기술이다.

<17> 앤드(AND)방식은, 고밀도화 고기능(비꿔쓰기 단위 축소)에 적용되는 어레이 방식이다.

<18> 도 1에 도시된 일반적인 앤드타입 플래시 메모리셀 어레이에서와 같이, 다수의 셀에서 비트라인 컨택과 소오스라인을 공유하여 고밀도화를 실현하고 있다. 또한, 병렬접속과 비트라인, 소오스라인 모드를 계층화하여 쓰기 동작시의 디스터브현상을 억제하고 바꿔쓰기 단위 축소를 가능케 하고 있으나 확산층 배선밀도가 높은 문제점이 있다.

<19> 이러한 문제점이 있는 종래기술에 따른 일반적인 앤드형 플래시 메모리셀의 제조방법에 대해 도 2a 내지 도 2h를 참조하여 간략하게 설명하면 다음과 같다.

<20> 도 2a 내지 도 2h는 종래기술에 따른 앤드형 플래시 메모리셀 제조방법을 설명하기 위한 공정단면도이다.

<21> 종래기술에 따른 엔드형 플래시 메모리셀 제조방법은, 도 4a에 도시된 바와같이, 먼저 실리콘기판(11)상에 패드산화막(13)과 패드질화막(15)을 차례로 증착한후 상기 패드질화막(15)상에 트렌치 형성용 감광막패턴(17)을 형성한다.

<22> 그다음, 도 2b에 도시된 바와같이, 상기 감광막패턴(17)을 마스크로 상기 패드질화막(15)과 패드산화막(13) 및 실리콘기판(11)을 순차적으로 제거하여 상기 실리콘기판(11)내에 일정깊이의 트렌치(19)을 형성한다.

<23> 이어서, 도 2c에 도시된 바와 같이, 상기 감광막패턴(17)을 제거한후 상기 트렌치(19)를 포함한 패드질화막패턴(15a)상에 캡매립산화막(31)을 증착하여 상기 트렌치(19)을 매립한다.

<24> 이어서, 도 2d에 도시된 바와같이, 상기 캡매립산화막(21)을 상기 패드질화막 (15a)상면이 드러날 때까지 식각하여 평탄화시킨다.

<25> 그다음, 도 2e에 도시된 바와같이, 추가로 캡매립산화막(21)과 패드질화막 패턴(15a) 및 패드산화막패턴(13a)을 선택적으로 제거하여 트렌치소자분리막(21a)을 형성한후 전체 구조의 상면에 하드마스크용 질화막(23)을 형성한다.

<26> 이어서, 도 2f에 도시된 바와같이, 상기 하드마스크용 질화막(23)상에 접합 마스크패턴(25)을 형성한다.

<27> 그다음, 도 2g에 도시된 바와같이, 상기 접합마스크패턴(25)을 마스크로 상기 실리콘기판(11)내에 As 또는 인(phosphorus)을 임플란트하여 N⁺ 접합영역(27a) (27b)을 형성한다.

<28> 이어서, 도 2h에 도시된 바와같이, 상기 N⁺접합영역(27a)(27b)을 형성한후 상기 접합마스크패턴(25) 및 질화막(23)을 제거한후 플로팅게이트(미도시)를 형성하고 이어 ONO박막(미도시)을 증착한다.

<29> 그다음, 도 5에서와 같이, 플로팅게이트산화막(50), 플로팅게이트(55), 콘트롤게이트산화막(60), 콘트롤게이트(65)를 형성하여 엔드 타입의 플래시 메모리셀을 제조한다.

【발명이 이루고자 하는 기술적 과제】

<30> 상기 종래기술에 의하면, 먼저 트렌치 소자분리용 마스크와 N+ 접합 형성용 마스크는 셀의 고집적화를 위해 DUV급의 노광기술이 2번 사용되어야 한다. 또한, 상기 두 번에 걸친 마스크공정은 연속적인 공정으로 마스크 오버랩 마진이 반드시 필요하게 되며, 이는 결국에는 셀사이즈의 증가를 가져와 경쟁력이 없게 되는 asns제가 된다.

<31> 이를 좀 더 자세히 설명하면, XB의 길이 즉, 일정한 정션 영역을 확보하기 위해서는 트렌치 소자분리막쪽으로 마스크가 미스얼라인되는 마진을 고려하여 셀사이즈를 크게 하여야 하는 문제가 발생한다.

<32> 또한, 고집적화의 문제로 도면상의 XB의 길이는 DUV급 이상에만 형성이 가능한 $0.25 \mu\text{m}$ 이하의 길이를 가져야 한다.

<33> 한편, DUV급의 마스크 공정은 먼저 레티클의 제조원가뿐만 아니라 포토레지스트의 단가도 매우 비싸 생산단가가 높아지는 단점이 생기게 된다.

<34> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 확산층 배선밀도의 고집적화를 자기정합 접합 형성방법에 의해 해결한 엔드 타입 플래시 메모리셀 제조방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

- <35> 상기 목적을 달성하기 위한 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법은, 실리콘기판상에 패드산화막과 패드질화막을 적층한후 상기 패드질화막을 선택적으로 패터닝하여 패드질화막패턴을 형성하는 단계;
- <36> 실리콘기판내에 불순물을 이온주입하여 접합형성영역을 형성하는 단계;
- <37> 상기 패드질화막패턴측벽에 절연막스페이서를 형성하는 단계;
- <38> 상기 절연막스페이서를 마스크로 상기 패드산화막과 실리콘기판을 선택적으로 제거하여 상기 접합형성영역을 분할하는 트렌치를 형성하는 단계;
- <39> 상기 트렌치를 포함한 전체 구조의 상면에 캡매립절연막을 형성하는 단계;
- <40> 상기 캡매립절연막을 포함한 절연막스페이서, 패드질화막패턴 및 패드산화막을 선택적으로 제거하여 트렌치소자분리막과 접합영역을 동시에 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <41> (실시예)
- <42> 이하, 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <43> 도 3는 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법을 설명하기 위한 개선된 엔드 형 EEPROM 셀의 회로구성도이다.
- <44> 도 4는 본 발명에 따른 엔드 타입 플래시 메모리셀의 레이아웃도이다.
- <45> 도 5은 도 4의 본 발명에 따른 엔드 타입 플래시 메모리셀의 사시도이다.

<46> 도 6a 내지 도 6i는 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법을 설명하기 위한 공정단면도이다.

<47> 본 발명에 따른 엔드 타입 플래시 메모리셀은, 도 3에 도시된 회로도에서와 같이, 기존의 확산층의 고밀도화 문제를 해결하기 위해 소자분리영역사이에 존재하는 접합층 하나가 양 셀에서 공유되도록 배열되어 있다.

<48> 또한, 이러한 배열구조가 도 4 및 5에 도시된 엔드 타입 플래시 메모리셀의 레이아웃도 및 사시도에 도시되어 있다.

<49> 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법에 대해 도 6a 내지 6i를 참조하여 구체적으로 설명하면 다음과 같다.

<50> 본 발명에 따른 엔드 타입 플래시 메모리 셀 제조방법은, 도 6a에 도시된 바와 같이, 실리콘기판(31)상에 패드산화막(33)과 패드질화막(35)을 차례로 증착한후 상기 패드질화막(35)상에 트렌치 형성용 감광막패턴(37)을 형성한다.

<51> 그다음, 도 6b에 도시된 바와같이, 상기 감광막패턴(37)을 마스크로 상기 패드질화막(35)을 선택적으로 제거하여 상기 패드산화막(33)일부를 노출시킨다.

<52> 이어서, 도 6c에 도시된 바와같이, 상기 감광막패턴(37)을 제거한후 기판에 As 또는 P를 이온주입하여 실리콘기판(31)내에 접합형성영역(39)(41)을 형성한다.

<53> 그다음, 도 6d에 도시된 바와같이, 상기 전체 구조의 상면에 500~1500Å 두께의 스페이서용 절연막(43)을 증착한다. 이때, 상기 스페이서용 절연막 물질로는 질화막 또는 TEOS 계열의 산화막을 이용한다.

<54> 이어서, 도 6e에 도시된 바와같이, 상기 스페이서용 절연막(43)을 선택적으로 제거하여 상기 패드질화막패턴(35a)측벽에 스페이서(43a)을 형성한다. 이때, 상기 스페이서(43a) 형성시에 패드산화막(33)이 남게 되어 접합 이온 주입시에 스크린 산화막으로 사용하여 실리콘기판의 손상을 방지해 준다.

<55> 그다음, 도 6f에 도시된 바와같이, 상기 양측 스페이서(43a)사이의 패드산화막 (33)과 실리콘기판(31)을 일정깊이만큼 선택적으로 제거하여 소자분리용 트렌치(45)를 형성한다. 이 때, 트렌치(45)형성시에 상기 접합형성영역(39)은 양쪽으로 분할되어 지고, 상기 스페이서(43a)아래의 접합영역(39a)은 그대로 남아 있게 된다. 또한, 상기 접합영역(39a)과 트렌치(45)는 자기정합방식에 의해 형성된다.

<56> 이어서, 도 6g에 도시된 바와같이, 상기 트렌치(45)를 포함한 전체 구조의 상면에 캡매립 절연막(47)을 증착한다.

<57> 이후, 상기 캡매립절연막의 치밀화공정과 접합형성영역의 활성화를 위한 열공정을 동시에 진행할 수도 있다.

<58> 그다음, 도 6h 및 도 6i에 도시된 바와같이, CMP 또는 전면건식 식각법에 의해 상기 캡매립 절연막(47)을 선택적으로 제거하여 셀간의 분리를 이루고, 상기 패드질화막 을 제거하면 트렌치소자분리막(47a)과 접합영역(39a)(41)이 형성된다.

【발명의 효과】

<59> 상기에서 설명한 바와같이, 본 발명에 따른 엔드 타입 플래시 메모리셀 제조방법에 의하면, 기존의 엔드 타입 플래시 메모리소자가 갖는 고집적화 문제를 2개층 즉, 소자분리패턴과 정션 패턴 모두를 동시에 자기정합시키는 방법으로 해결할 수 있게 된다.

<60> 이와 아울러, 상기 여러 패턴이 자기정합되므로 인해 플래시 메모리셀 어레이내에 종래
에서 갖는 각각의 셀특성의 균질성이 향상되어 소자의 특성을 우수하게 한다.

<61> 또한, 반도체 제조공정에서 제조원가가 가장 많이 소요되는 DUV급의 공정을 1개 생략할
수 있게 되어 생산원가의 절감효과를 가져 온다.

<62> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청
구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자
라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

실리콘기판상에 패드산화막과 패드질화막을 적층한후 상기 패드질화막을 선택적으로 패터닝하여 패드질화막패턴을 형성하는 단계;
실리콘기판내에 불순물을 이온주입하여 접합형성영역을 형성하는 단계;
상기 패드질화막패턴측벽에 절연막스페이서를 형성하는 단계;
상기 절연막스페이서를 마스크로 상기 패드산화막과 실리콘기판을 선택적으로 제거하여
상기 접합형성영역을 분할하는 트렌치를 형성하는 단계;
상기 트렌치를 포함한 전체 구조의 상면에 캡매립절연막을 형성하는 단계;
상기 캡매립절연막을 포함한 절연막스페이서, 패드질화막패턴 및 패드산화막을 선택적으
로 제거하여 트렌치소자분리막과 접합영역을 동시에 형성하는 단계를 포함하여 구성되는 것을
특징으로하는 엔드 타입 플래시 메모리셀 제조방법.

【청구항 2】

제1항에 있어서, 상기 절연막스페이서로는 질화막 또는 TEOS 계열의 산화막을 사용하는
것을 특징으로하는 엔드 타입 플래시 메모리셀 제조방법.

【청구항 3】

제1항에 있어서, 상기 절연막 스페이서 형성시에 패드산화막은 접합 이온 주입시에 스크린산
화막으로 사용하는 것을 특징으로하는 엔드 타입 플래시 메모리 셀 제조방법.

【청구항 4】

제1항에 있어서, 접합형성용 불순물이온으로는 As 또는 P를 사용하는 것을 것을 특징으로하는 엔드 타입 플래시 메모리셀 제조방법.

【청구항 5】

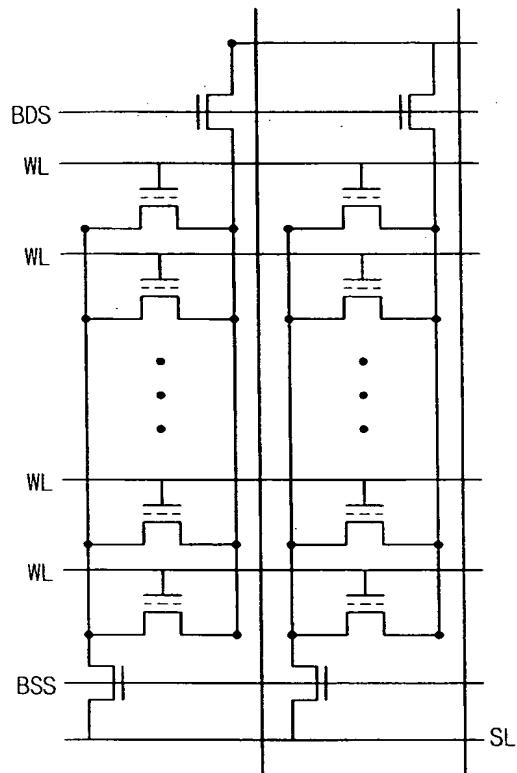
제1항에 있어서, 상기 절연막스페이서의 두께는 500~1500Å인 것을 특징으로하는 엔드 타입 플래시 메모리셀 제조방법.

【청구항 6】

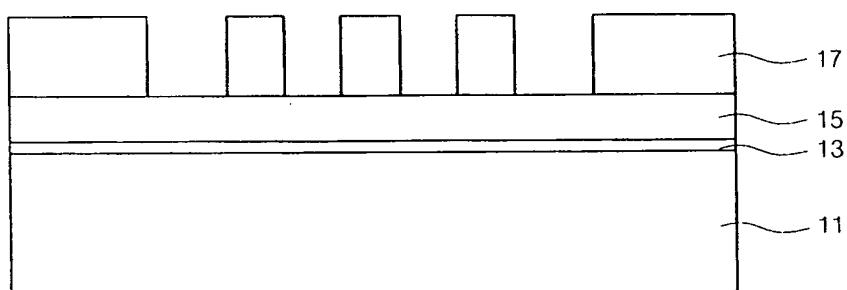
제1항에 있어서, 상기 캡매립절연막의 치밀화공정과 접합형성영역의 활성화를 위한 열공정을 동시에 진행하는 단계를 더 포함하는 것을 특징으로하는 엔드 타입 플래시 메모리셀 제조방법.

【도면】

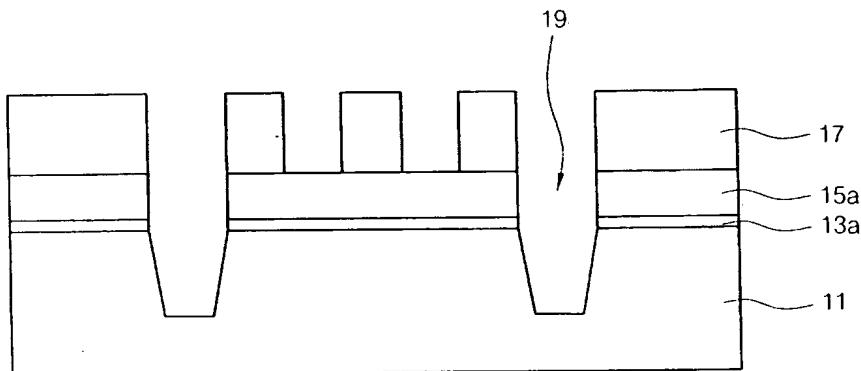
【도 1】



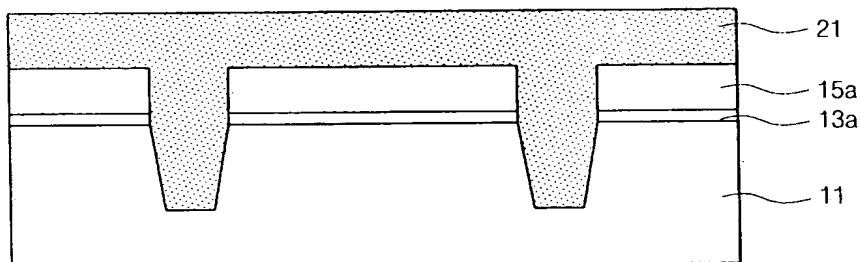
【도 2a】



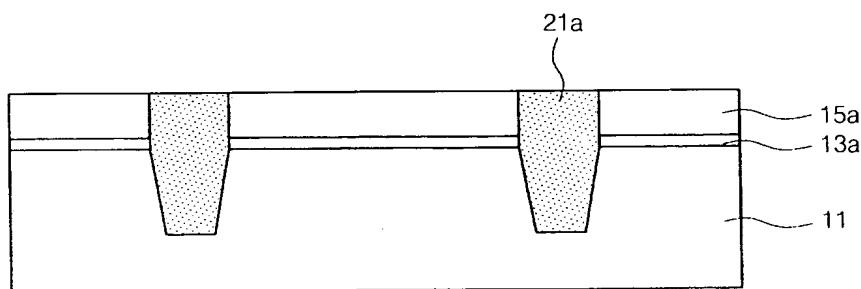
【도 2b】



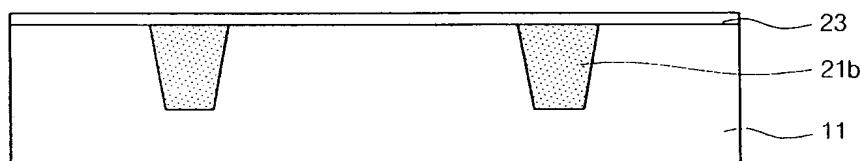
【도 2c】



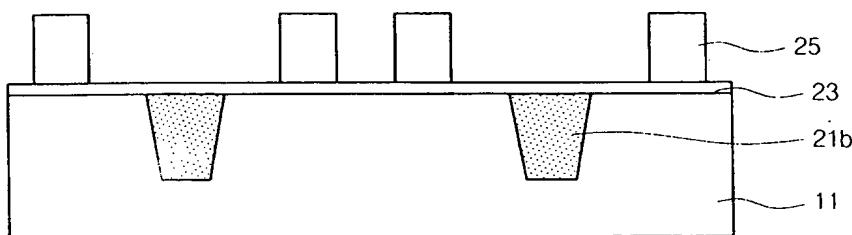
【도 2d】



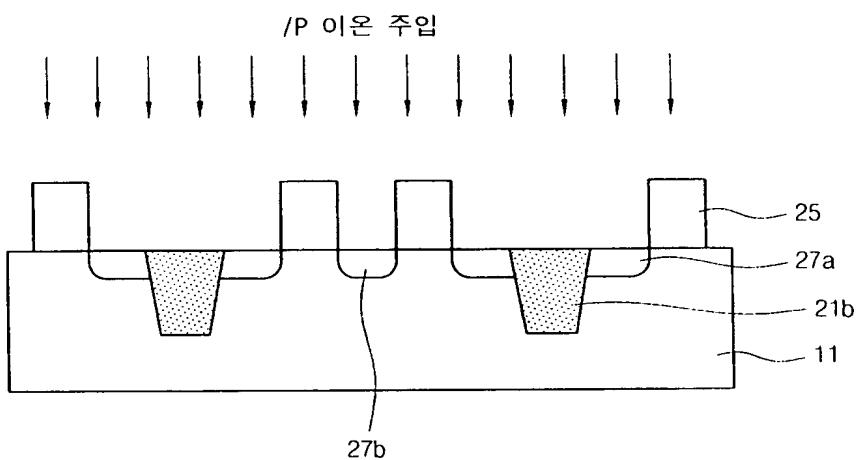
【도 2e】



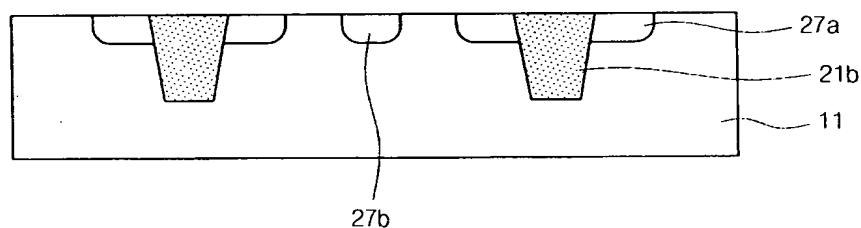
【도 2f】



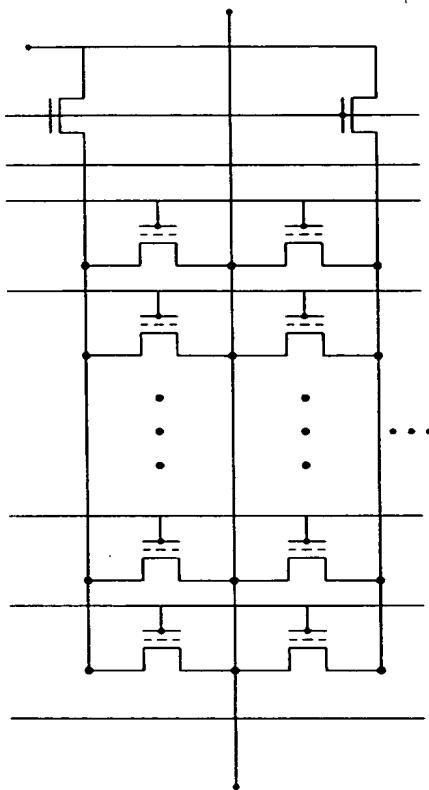
【도 2g】



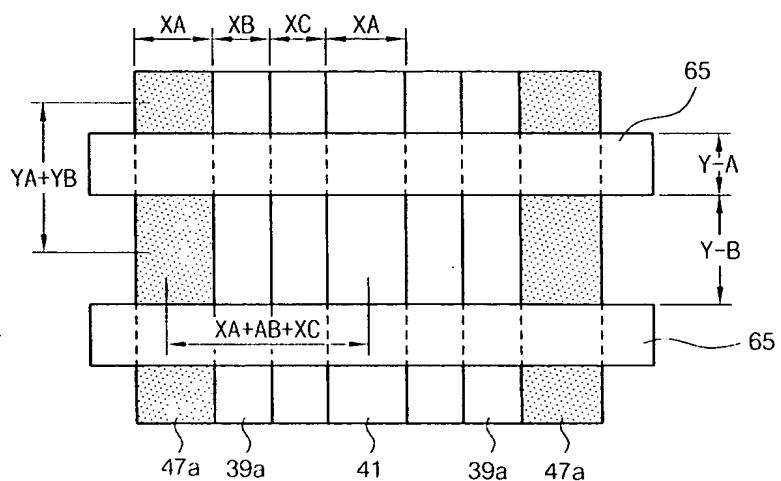
【도 2h】



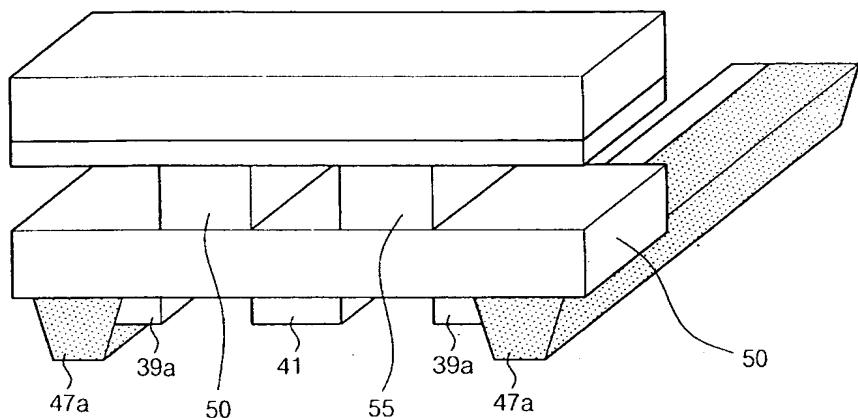
【도 3】



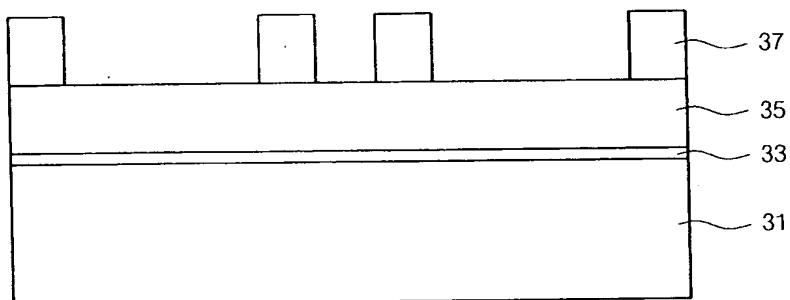
【도 4】



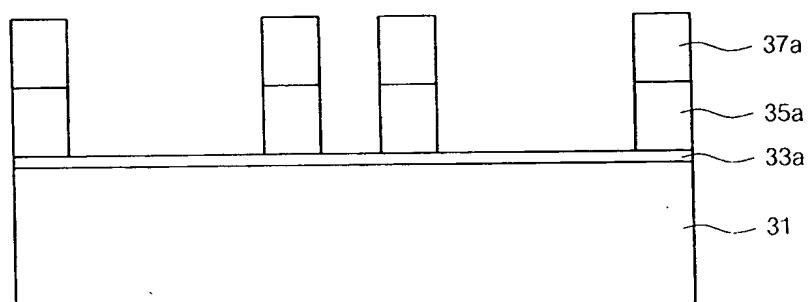
【도 5】



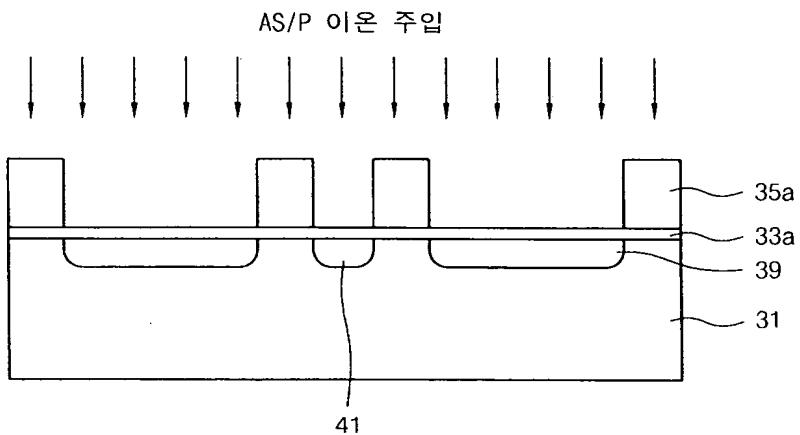
【도 6a】



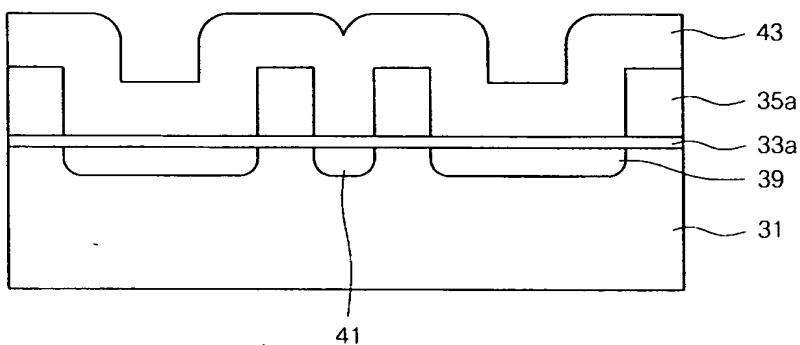
【도 6b】



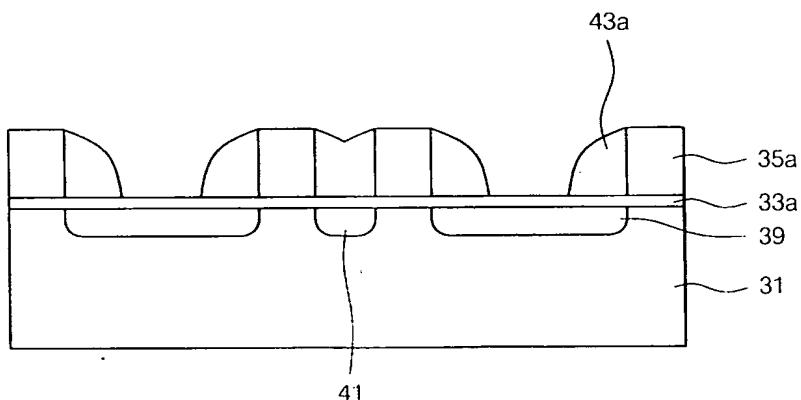
【도 6c】



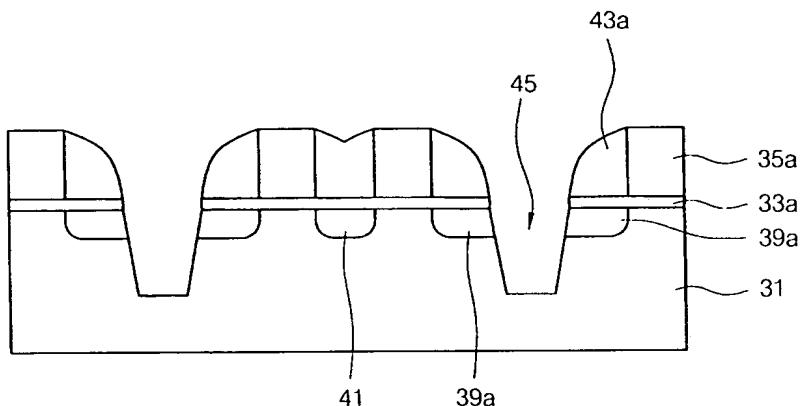
【도 6d】



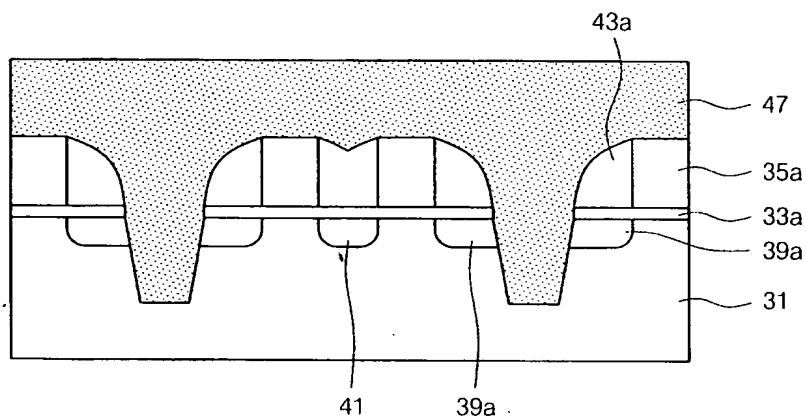
【도 6e】



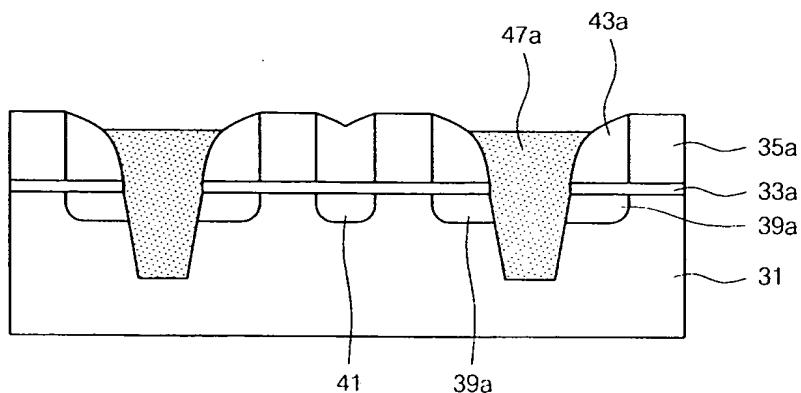
【도 6f】



【도 6g】



【도 6h】



1020088282

출력 일자: 2003/11/19

【도 6i】

